

# DDR 全链路信号完整性的仿真分析与研究

毕佳明

(沈阳工学院信息与控制学院, 辽宁沈阳, 113122)

Email: bjm625.5@163.com

**摘要:** 本文介绍了集成电路设计中的一些常见信号完整性问题, 包括振铃、反射、地弹、串扰和同步开关噪声等各种信号完整性问题的成因和规避措施。通过适当的端接匹配等措施可以减小反射; 通过减小平行走线长度、增加线间距、调整介质厚度, 保证完整回流层等措施改善串扰; 通过减小并行走线长度可以优化同步开关噪声。最后提取了回流地和完整地平面下 PCB 传输线的模型, 进行了 DDR 全链路信号完整性的仿真, 得到 DDR 数据信号接收端信号质量。

**关键词:** 信号完整性; 信号反射; 振铃; 地弹; 串扰; 同步开关噪声

## Analysis and research of sigrity integrity in the DDR Full link simulation

Bi Jiaming

(School of Information and Control Engineering , Shenyang Institute of Technology,  
Shenyang 113122, China )

**Abstract:** Details of signal integrity in the circuits design is discussed in this paper, and the major influencing factors are analyzed such as ringing, reflection, bounce, crosstalk, also gives the principle of simultaneous switching noise and how to prevent them. Reflection can be reduced, through some proper measures of receiving termination while crosstalk can be mitigated via some measures, such as shortening the length of parallel line, increasing the line interval, adjusting the thickness of the medium layer, and supplying no cutting ground; SSN can be optimized via decreasing parallel lengths. Finally, we extract the full grounding and cutting groudng transmission line models using Ansys HFSS; then we simulate the singal integrity of full link DDR signals by Ansys Designer.

**Key words:** signal integrity; reflection; ringing; bounce; crosstalk

### 1. 引言:

随着大规模集成电路越来越多地应用在系统设计中, IC 芯片也向体积越来越小, 引脚数越来越多, 工作频率越来越高发展。而工程师都希望所关心的信号到达接收端的时候都是完整和无损的, 但往往事与愿违, 在当今越来越高速的数字系统中产生并保持信号不受损变得越来越困难, 如何处理高速信号问题成为一个设计能否成功的关键因素。随着电子系统中逻辑和系统时钟频率的迅速提高和信号边沿不断变陡, 印刷电路板的线迹互连和板层特性对系统电气性能的影响也越发重要。因此, 高速系统的设计必须面对互连延迟引起的时序问题以及串扰、

传输线效应等信号完整性问题，数字信号完整性已经成为系统开发者面临的紧迫问题<sup>[1]</sup>。

## 2. 信号完整性的概念及常见问题：

信号完整性(SI) 是指信号在互连线上引起的所有不正常的电压和电流现象。信号完整性问题与很多因素有关，频率的提高、上升时间的减小、摆幅降低、互连通道不理想、供电环境恶劣、通道之间延时不一致等都可能引起信号完整性问题，但其根源在于通道传输延时与信号上升时间的关系。一方面，陡峭的上升沿使信号完整性问题更加突出。信号完整性问题的根源在于信号的上升时间减小导致高频成分增多，加上其他众多的影响因素更加剧了信号完整性问题<sup>[2]</sup>。

信号完整性问题主要包括反射、振铃、地弹、串扰、同步开关噪声等。

- 1) **反射**：源端与负载端阻抗不匹配会引起线上反射，负载将一部分电压反射回源端，如果负载阻抗小于源阻抗，反射电压为负；反之，如果负载阻抗大于源阻抗，反射电压为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素的变化均会导致此类反射。
- 2) **振铃**：信号的振铃(ringing) 指由线上过度的电感和电容引起，信号在高低电平会存在上下震荡的情况，振铃会使信号的阈值模糊，也容易引起 EMI。振铃同反射一样也是由多种因素引起的，振铃可以通过适当的端接予以减小，但是不可能完全消除。
- 3) **地弹**：电路中有大的电流涌动时会引起地弹，如大量芯片的输出同时开启时，将有一个较大的瞬态电流在芯片与板的电源平面流过，芯片封装与电源平面的电感和电阻会引发电源噪声，这样会在真正的地平面上产生电压的波动和变化，这个噪声会影响其它元器件的动作。负载电容的增大、负载电阻的减小、地电感的增大及开关器件数目的增加均会导致地弹的增大。
- 4) **串扰**：串扰是两条信号线之间的耦合，信号线之间的互感和互容引起线上的噪声。当两个信号距离较近时，一个信号的电磁场会覆盖另一个信号，这样在另一个信号上引入串扰，串扰主要有线间串扰、回路串扰、通过平面串扰（常见于数模混合电路）三种形式，如图 1 所示。通过容性耦合引发耦合电流，而感性耦合引发耦合电压。PCB 板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。振铃和地弹都属于信号完整性问题中单信号线的现象(伴有地平面回路)，串扰则是由同一 PCB 板上的两条信号线与地平面引起的，故也称为三线系统。

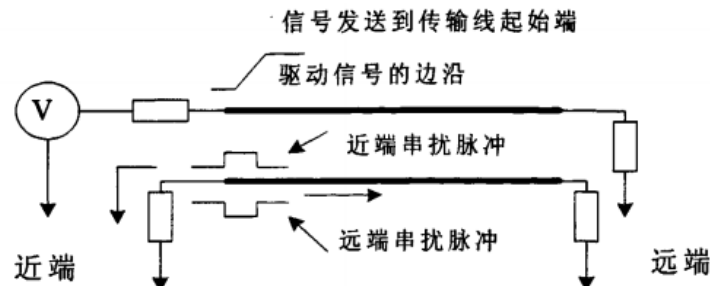


图 1 串扰示意图

- 5) **同步开关噪声**：同步开关噪声是指当器件处于开关状态，产生瞬间变化的电

流，在经过回流途径上存在的电感时，形成交流压降，从而引起噪声，如图 2 所示。如果是由于封装电感而引起地平面的波动，造成芯片地和系统地不一致，这种现象称为地弹。同样，如果是由于封装电感引起的芯片和系统电源差异，就称为电源反弹。所以，同步开关噪声并不完全是电源的问题，它对电源完整性产生的影响主要表现为地/电源反弹现象。

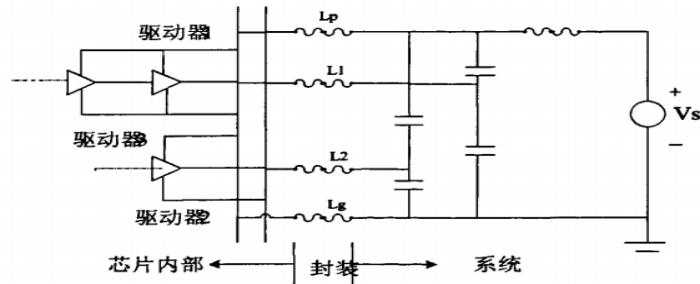


图 2 同步开关噪声原理图

### 3. 回流地分割对于信号完整性的影响：

- 1) **反射仿真分析:**对于回流地分割反射仿真，这里使用电磁场仿真软件对 PCB 上 50ohm 微带传输线反射和传输特性进行仿真，如下图 3 所示。图 3 分别为回流地分割和完整回流地平面的反射仿真模型图，图中走线长度为 10inch。

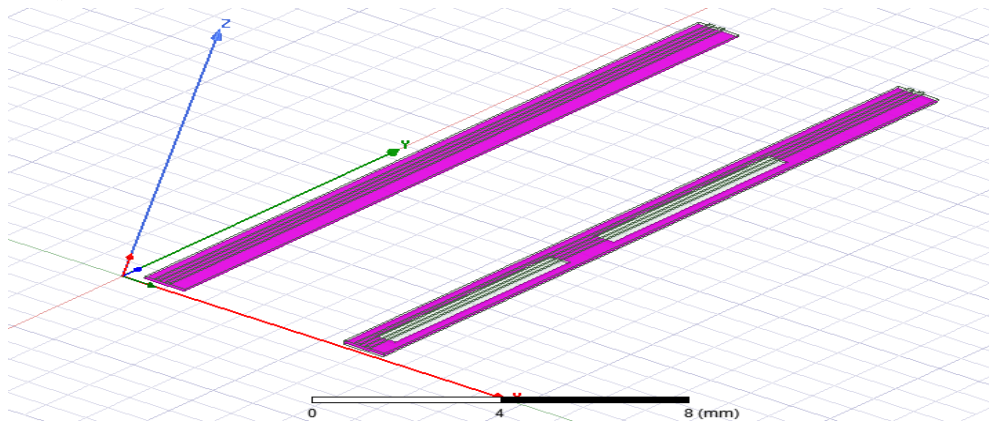


图 3 回流地分割和完整回流地平面 S21 仿真模型图

从图 3 仿真模型得到的回流地分割同完整回流地平面 S21 参数仿真对比结果如图所示。有完整回流地平面的 S21 传输参数（图 4，绿色线）相比较回流地分割（图 4，红色线）时的仿真结果在 2GHz 时优化 0.1dB。

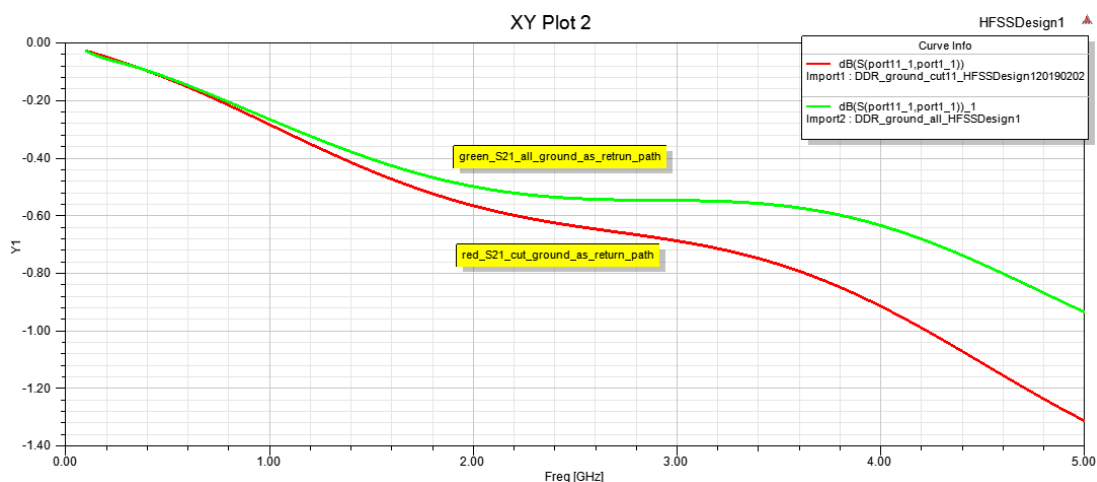


图 4 回流地分割同完整回流地平面 S21 传输参数对比

2) **DDR 全链路信号完整性仿真分析：**在数字设计中，地平面不连续现象是非常普遍的，PCB 板、芯片封装器件上都存在回流地不完整的情况。PCB 板地回流路径不连续，会带来信号质量的问题，导致系统无法正常工作。实际的 PCB 设计中，信号的完整性与线的长度、线的间距以及参考地平面等密切相关，这里将通过仿真分析回流地分割对信号质量的影响。图 5 为 Ansys Designer 软件仿真回流地分割和完整回流地平面信号时域仿真模型图。

图中仿真参数：封装模型为 ddr 芯片 model 中的封装模型参数，信号上升沿和下降沿分别为 0.1ns，信号周期为 1ns，PW=0.5ns，信号电平为 1.8V。

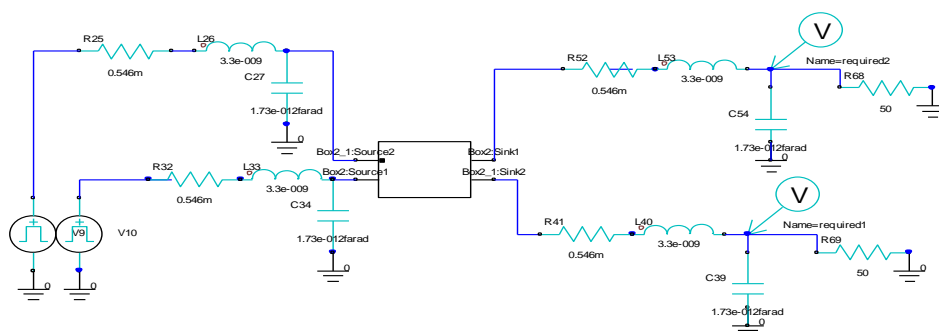


图 5 Ansys Designer 全链路时域仿真模型图

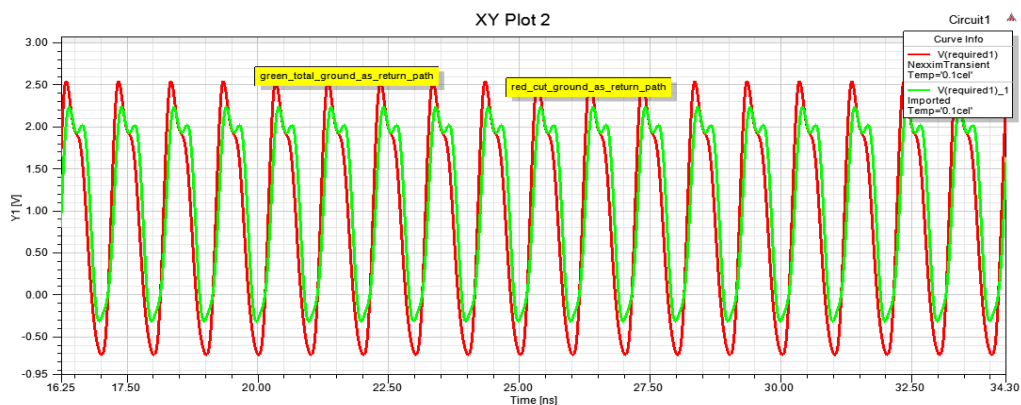


图6 Ansys Designer 全链路时域仿真接收端波形

- 3) **仿真结果分析：**回流地分割会增加 PCB 微带线的反射，降低 PCB 微带线的传输性能，增加相邻线间的近端串扰和远端串扰，增加时域信号的过冲，使信号边沿变缓，信号质量变差，所以在实际 PCB 设计中，高速、模拟或者其他关键信号的走线下面要预留完整的回流地平面，从而提高关键路径信号的信号质量，保证高速、模拟等关键链路信号稳定传输。

#### 4. 结束语：

随着高速电子设计变得越来越常见，信号完整性问题也将表现得越来越明显。本文介绍了 PCB 信号完整性的常见问题，以及回流地分割对信号反射和串扰的影响。可以预见，随着信号完整性分析的模型以及计算分析算法的不断完善和提高，基于信号完整性分析的设计方法将会越来越多地应用于电子产品设计之中<sup>[3]</sup>。但在国内，由于技术、资金各方面条件的限制，还没有获得广泛的应用，因此亟待学习和改善条件，以提高设计水平，增强产品的竞争力。

#### 5. [参 考 文 献]

- [1] 于 波. 高速电子线路的信号完整性设计[J]. 北京理工大学学报, 1999, 31 (4): 3- 7.
- [2] 毛忠宇. 信号、电源完整性仿真设计与高速产品应用实例. 电子工业出版社. 2018
- [3] 张 波, 张焕春, 经亚枝. 基于 SHARC 的高速数字电路系统设计技术研究[J]. 半导体技术, 2002, 27 (2): 50- 53.